Atty. Dkt. No. 016907-1578

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Eiji MORIFUJI

Title: SEMICONDUCTOR APPARATUS AND METHOD FOR MANUFACTURING THE SAME

Appl. No.: Unassigned

Filing Date: 10/03/2003

Examiner: Unassigned

Art Unit: Unassigned

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
PO Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- JAPAN Patent Application No. 2002-292338 filed 10/04/2002.

Respectfully submitted,

Date October 3, 2003

By _____

Richard L. Schwaab
Attorney for Applicant
Registration No. 25,479

FOLEY & LARDNER
Customer Number: 22428
Telephone: (202) 672-5414
Facsimile: (202) 672-5399

03-1226

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２００２年１０月　４日

出願番号
Application Number: 特願２００２－２９２３３８

[ST. 10/C]: [ＪＰ２００２－２９２３３８]

出願人
Applicant(s): 株式会社東芝

２００３年　８月１９日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号　出証特２００３－３０６７６１５

【書類名】　特許願
【整理番号】　A000201286
【提出日】　平成14年10月 4日
【あて先】　特許庁長官　殿
【国際特許分類】　H01L 27/00
【発明の名称】　半導体装置とその製造方法
【請求項の数】　18
【発明者】
【住所又は居所】　神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内
【氏名】　森藤　英治
【特許出願人】
【識別番号】　000003078
【氏名又は名称】　株式会社　東芝
【代理人】
【識別番号】　100058479
【弁理士】
【氏名又は名称】　鈴江　武彦
【電話番号】　03-3502-3181
【選任した代理人】
【識別番号】　100084618
【弁理士】
【氏名又は名称】　村松　貞男
【選任した代理人】
【識別番号】　100068814
【弁理士】
【氏名又は名称】　坪井　淳

【選任した代理人】

【識別番号】　100092196

【弁理士】

【氏名又は名称】　橋本　良郎

【選任した代理人】

【識別番号】　100091351

【弁理士】

【氏名又は名称】　河野　哲

【選任した代理人】

【識別番号】　100088683

【弁理士】

【氏名又は名称】　中村　誠

【選任した代理人】

【識別番号】　100070437

【弁理士】

【氏名又は名称】　河井　将次

【手数料の表示】

【予納台帳番号】　011567

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　半導体装置とその製造方法

【特許請求の範囲】

【請求項１】　第１の領域とこの第１の領域から分離された第２の領域とを有する半導体基板と、

前記第１の領域に形成され、前記半導体基板上に形成されたシリコン酸化膜単層の第１のゲート絶縁膜およびこの第１のゲート絶縁膜上に形成された第１のゲート電極とを含む第１の半導体素子と、

前記第２の領域に形成され、前記シリコン酸化膜と誘電率の異なる絶縁材料で形成された単層の第２のゲート絶縁膜およびこの第２のゲート絶縁膜上に形成された第２のゲート電極とを含む第２の半導体素子と、

を具備することを特徴とする半導体装置。

【請求項２】　前記第２のゲート絶縁膜の絶縁材料は前記シリコン酸化膜より高誘電率を有することを特徴とする請求項１に記載の半導体装置。

【請求項３】　前記第１の領域に形成される第１の半導体素子はＤＲＡＭを構成する素子を含み、前記第２の領域に形成される第２の半導体素子はロジック回路を構成する素子を含むことを特徴とする請求項１に記載の半導体装置。

【請求項４】　前記第１のゲート電極には第１の電圧が供給され、前記第２のゲート電極には第１の電圧より低い第２の電圧が供給されることを特徴とする請求項１に記載の半導体装置。

【請求項５】　前記第１のゲート電極の側壁上に形成された第１のゲート側壁絶縁膜および前記第２のゲート電極の側壁上に形成された第２のゲート側壁絶縁膜とを具備することを特徴とする請求項１に記載の半導体装置。

【請求項６】　前記第１の半導体素子は、前記第１のゲート電極の側壁上に前記シリコン酸化膜とは異なる絶縁材料で形成されたゲート側壁絶縁膜を有することを特徴とする請求項１に記載の半導体装置。

【請求項７】　前記第１の半導体素子は、前記第１のゲート電極の上部全面および前記第１のゲート側壁絶縁膜の少なくとも一部を覆い、前記第２のゲート絶縁膜と同じ絶縁材料で形成されたエッチングストッパ膜を有することを特徴と

する請求項５に記載の半導体装置。

【請求項８】　前記第１の半導体素子は、前記エッチングストッパ膜側部に前記第２の半導体素子に形成された第２のゲート側壁絶縁膜と同じ材料の第３のゲート側壁絶縁膜を有することを特徴とする請求項７に記載の半導体装置。

【請求項９】　前記第１の領域には前記第１の半導体素子を覆う層間絶縁膜が形成され、この層間絶縁膜中には前記エッチングストッパ膜の端部に整合して形成された半導体基板とのコンタクトを有することを特徴とする請求項８に記載の半導体装置。

【請求項１０】　前記第１のゲート電極の側壁上には互いに異なる絶縁材料で形成された２層構造のゲート側壁絶縁膜を有することを特徴とする請求項１に記載の半導体装置。

【請求項１１】　前記第１の半導体素子は、前記第１のゲート電極の側面を覆うように形成され前記第２のゲート絶縁膜と同じ絶縁材料で形成されたエッチングストッパ膜を有することを特徴をする請求項１に記載の半導体装置。

【請求項１２】　前記第１の半導体素子および前記第２の半導体素子に夫々形成されたゲート側壁絶縁膜は同じ絶縁材料で形成されていることを特徴とする請求項１１に記載の半導体装置。

【請求項１３】　前記第２の半導体素子の前記第２のゲート電極の側壁にはゲート側壁絶縁膜が形成され、前記第２のゲート絶縁膜は前記第２のゲート電極下および前記ゲート側壁絶縁膜下に亘って形成された高誘電体絶縁膜を有することを特徴とする請求項１１に記載の半導体装置。

【請求項１４】　第１の領域とこの第１の領域から分離された第２の領域とを有する半導体基板上にシリコン酸化膜を成膜し、

前記第２の領域上に形成されたシリコン酸化膜を剥離し、

前記第１の領域に、前記シリコン酸化膜で形成された第１のゲート絶縁膜とこの第１のゲート絶縁膜上に形成された第１のゲート電極とを有する第１の半導体素子を形成し、

前記第１の半導体素子上および前記シリコン酸化膜が剥離された前記第２の領域表面を覆って前記シリコン酸化膜と誘電率の異なる絶縁膜を堆積し、

前記第２の領域に、前記絶縁膜で形成された第２のゲート絶縁膜とこの第２のゲート絶縁膜上に形成された第２のゲート電極とを有する第２の半導体素子を形成することを特徴とする半導体装置の製造方法。

【請求項１５】　前記第２の半導体素子を形成する際に前記第１の半導体素子の上に形成された前記絶縁膜を剥離することを特徴とする請求項１４に記載の半導体装置の製造方法。

【請求項１６】　前記第１の半導体素子の第１のゲート電極の側面にゲート側壁絶縁膜を形成し、前記第２のゲート絶縁膜を形成する際に、前記第１の半導体素子の上に形成された前記第１のゲート電極の上部全面およびゲート側壁絶縁膜の少なくとも一部を覆うエッチングストッパ膜として残して前記絶縁膜を剥離することを特徴とする請求項１４に記載の半導体装置の製造方法。

【請求項１７】　更に、前記第１の領域に前記第１の半導体素子を覆う層間絶縁膜を形成し、

この層間絶縁膜中に前記エッチングストッパ膜の端部に整合して前記半導体基板とのコンタクトを形成することを特徴とする請求項１６に記載の半導体装置の製造方法。

【請求項１８】　前記第２の半導体素子の第２のゲート絶縁膜及び第２のゲート電極を形成した後、前記第１の半導体素子の上に形成された前記第１のゲート電極の上部および側部全面を覆うエッチングストッパ膜の上に第１のゲート側壁絶縁膜を形成するとともに、前記第２のゲート電極の側面上に第２のゲート側壁絶縁膜を形成することを特徴とする請求項１４に記載の半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、半導体装置、特に同一半導体基板上に異なる値の電圧、例えば異なる電源電圧で動作する少なくとも２種の半導体素子を有する半導体装置とその製造方法に関する。

【０００２】

【従来の技術】

従来より、耐熱性がありプロセスが組みやすいシリコン酸化膜は、例えばＭＯＳ型トランジスタのゲート絶縁膜として広く用いられてきた。近年、素子の縮小化と高性能化の要求の高まりにより、ゲート絶縁膜の膜厚の薄膜化がなされてきており、そのためシリコン酸化膜を用いたゲート絶縁膜の膜厚の薄膜化も進んできている。しかし、シリコン酸化膜を用いたゲート絶縁膜を一定の厚さ以下に形成すると、ゲートリーク電流が過剰に流れるようになり、薄膜化の限界に至っている。

【０００３】

そこで、これに変わる絶縁膜として、シリコン酸化膜より誘電率の高いＨｆＯ，Al_2O_3，Zi_2O_5などを絶縁膜材料とする高誘電体絶縁膜が薄膜のゲート絶縁膜候補として注目されてきている。

【０００４】

このような高誘電体絶縁膜は、シリコン酸化膜に比べ非常に誘電率が高く、前述のシリコン酸化膜を用いたゲート絶縁膜の薄膜化の限界を打破できるものであり、薄いゲート絶縁膜を有する薄膜系の半導体素子、例えば低い電源電圧で動作するロジック回路部分を有する集積半導体装置の製造に役立つものである。しかし、一方では低い電源電圧を扱い、他方では高い電源電圧を扱う、つまり同一基板上で電源電圧値の異なる２つ以上の回路部を有する半導体装置例えば、ＤＲＡＭ混載のＬＳＩのメモリ部、Ｉ／Ｏ部、アナログ回路部分などは、高い電源電圧が印加される厚膜系の素子があるため、上記薄膜化に有効である高誘電体膜を使用することができない。

【０００５】

そこで、最近、従来より用いられてきているシリコン酸化膜を用いた絶縁膜を厚膜系の半導体素子（ＭＯＳ型半導体素子）に用い、シリコン酸化膜より高い誘電率の絶縁膜を薄膜系の半導体素子（ＭＩＳ型半導体素子）に用いて、両者を同一基板上に形成することにより上記電源電圧値の異なる２つ以上の回路部を有する半導体装置が実現した。

【０００６】

ここで、図４を参照してこの種の半導体装置の従来の構成およびその製造方法の一例を説明する。

【０００７】

図４（ａ）において、半導体基板４１の厚膜系素子の形成領域４３ａ、薄膜系素子の形成領域４３ｂを含む全面に厚膜系の絶縁膜としてシリコン酸化膜４２を成膜する。

【０００８】

次に、図４（ｂ）に示すように、半導体基板４１の厚膜系ＭＯＳ型素子の形成領域４３ａ上に成膜された部分は残し、薄膜系ＭＩＳ型素子の形成領域３ｂに成膜された部分を剥離するように、シリコン酸化膜４２を選択的にエッチングし、その後、薄膜系絶縁膜として高誘電体絶縁膜４４を全面に堆積する。

【０００９】

次いで、図４（ｃ）に示すように、ゲート電極形成用のポリシリコン膜４５を半導体基板４１の全面に堆積する。このポリシリコン膜４５の上に公知のホトリソグラフィー法を用いてレジストマスクを形成し、パターニングおよびエッチングを行ない、図４（ｄ）に示すゲート電極４５ａ、４５ｂを形成するとともに、ゲート電極４５ａの下に２層構造のゲート絶縁膜４６ａ，４６ｂ１が形成され、ゲート電極４５ｂの下にはゲート絶縁膜４６ｂ２が形成される。

【００１０】

このように従来の製造方法を用いて半導体装置を形成すると、厚膜系ＭＯＳ型素子の形成領域４３ａにはシリコン酸化膜４６ａと、高誘電体絶縁膜４６ｂとの、互いに誘電率の異なる２層構造のゲート絶縁膜が形成されてしまう。

【００１１】

【発明が解決しようとする課題】

以上説明したように、従来は、厚膜系のＭＯＳ型素子のゲート絶縁膜としてシリコン酸化膜と高誘電体絶縁膜とでなる２層構造が形成されていた。

【００１２】

このように、ゲート絶縁膜として異なる誘電率の絶縁膜の積層構造が形成されることで、ゲート絶縁膜を構成する２層の材料界面での準位形成による移動度の

劣化や、あるいは、準位形成によるトラップが２層の材料界面に形成されるための閾値の変動など、半導体装置としての性能の低下や信頼性の劣化などの問題があった。

【００１３】

そこで、この発明は、誘電率の異なる２種類以上のゲート絶縁材料を用いて同一半導体基板上にゲート絶縁膜の成膜を行なう際、厚膜系のＭＯＳ型素子形成領域に互いに異なる誘電率の絶縁膜の２層構造が形成されるのを防止し、良好な性能を有し、高い集積度を実現できる半導体装置とその製造方法を提供することを目的とする。

【００１４】

【課題を解決するための手段】

上記目的を達成するために、この発明の一実施形態の半導体装置は、　第１の領域とこの第１の領域から分離された第２の領域とを有する半導体基板と、

前記第１の領域に形成され、前記半導体基板上に形成されたシリコン酸化膜単層の第１のゲート絶縁膜およびこの第１のゲート絶縁膜上に形成された第１のゲート電極とを含む第１の半導体素子と、

前記第２の領域に形成され、前記シリコン酸化膜と誘電率の異なる絶縁材料で形成された単層の第２のゲート絶縁膜およびこの第２のゲート絶縁膜上に形成された第２のゲート電極とを含む第２の半導体素子と、

を具備することを特徴とする。

【００１５】

また、この発明の他の実施形態による半導体装置の製造方法は、

第１の領域とこの第１の領域から分離された第２の領域とを有する半導体基板上にシリコン酸化膜を堆積し、

前記第２の領域上に形成されたシリコン酸化膜を剥離し、

前記第１の領域に前記シリコン酸化膜で形成された第１のゲート絶縁膜とこの第１のゲート絶縁膜上に形成された第１のゲート電極とを有する第１の半導体素子を形成し、

前記第１の半導体素子上および前記シリコン酸化膜が剥離された前記第２の領

域表面を覆って前記シリコン酸化膜と誘電率の異なる絶縁膜を堆積し、

前記第２の領域に、前記絶縁膜で形成された第２のゲート絶縁膜とこの第２のゲート絶縁膜上に形成された第２のゲート電極とを有する第２の半導体素子を形成することを特徴とする。

【００１６】

このような構成により、良好な性能を有し、高い集積度の、互いに異なる誘電率を持つ単層構造のゲート絶縁膜を持つ第１、第２の半導体素子を有する半導体装置およびその製造方法を提供することができる。

【００１７】

【発明の実施の形態】

以下、この発明の種々の実施の形態について図面を参照して詳細に説明する。

【００１８】

（第１の実施の形態）

従来は誘電率の異なる絶縁膜を連続して堆積してしまうことで、前述のような２層構造による不都合、つまり移動度の劣化や半導体の性能の信頼性の劣化、があった。そこで本願発明は、厚膜系ゲート絶縁膜と薄膜系ゲート絶縁膜とを連続して形成しないことで問題を解決できた。

【００１９】

以下、この観点に基づき、１回目の絶縁膜の形成、ここではシリコン酸化膜の成膜をした後、その上にゲート電極を形成し、２回目の絶縁膜の形成、ここでは高誘電体絶縁膜の成膜を行なうことで問題を解決した。

【００２０】

以下、この観点に基づく本願発明の実施の形態について説明する。

【００２１】

図１（ｄ）は、この発明の第１の実施の形態の型半導体装置の断面図である。

【００２２】

図に示すように、半導体基板１の素子分離層２ａ、２ｂにより分離された第１の領域１ａには、半導体基板１の表面に形成されたゲート絶縁膜３と、このゲート絶縁膜３上に形成されたゲート電極４と、このゲート電極４の側面に形成され

たゲート側壁絶縁膜６と、このゲート側壁絶縁膜６の外側に形成されたゲート側壁絶縁膜１２と、ゲート電極４の上面に形成されたシリサイド層１３ａと、ゲート絶縁膜３を挟んで半導体基板１の表面領域に拡散形成されたソース／ドレイン領域９ａ、９ｂと、このソース／ドレイン領域９ａ、９ｂの表面に形成されたシリサイド層１３ｂ，１３ｃと、半導体基板１の全面に形成された層間絶縁膜１４と、この層間絶縁膜１４中にシリサイド層１３ｃに接続した状態で形成されたコンタクト１５とから構成されるＭＯＳ型素子が形成される。コンタクト１５は層間絶縁膜１４上に形成されたメタル配線１６に接続されている。このＭＯＳ型素子は例えばＤＲＡＭ内の高い電圧が供給される半導体素子として用いられるが、Ｉ／Ｏ回路、アナログ回路部等の高い電圧が供給される半導体素子としても用いられる。。

【００２３】

一方半導体基板１の素子分離層２ｃ、２ｄにより分離された第２の領域１ｂには、半導体基板１の表面に形成されたゲート絶縁膜１０と、このゲート絶縁膜１０の上に形成されたゲート電極８と、このゲート電極８の側面に形成されたゲート側壁絶縁膜１１と、ゲート電極８の上面に形成されたシリサイド層１３ｄと、ゲート絶縁膜１０の両側の半導体基板１の表面領域に拡散形成されたソース／ドレイン領域９ｃ、９ｄと、これらのソース／ドレイン領域９ｃ、９ｄの表面に形成されたシリサイド層１３ｅ，１３ｆとから構成されるＭＩＳ型素子が形成される。このＭＩＳ型素子は例えば低い電圧で動作するロジック部内の半導体素子として用いられる。

【００２４】

なおＭＯＳ型素子のゲート絶縁膜３は、厚膜系材料としてシリコン酸化膜である二酸化珪素から構成され、通常、膜厚は２．５ｎｍ－６ｎｍである。また、ＭＩＳ型素子のゲート絶縁膜１０は、誘電率が高くゲートリーク電流を低減できる薄膜系ゲート絶縁膜として、例えばシリコン窒化膜、ハフニウムオキサイド膜、ジルコニウムオキサイド膜、シリケイト膜などから構成され、通常、膜厚は１ｎｍ－２ｎｍである。

【００２５】

なお、ゲート電極１３ａ，１３ｄはいずれもポリシリコン材料から構成され、またゲート側壁６，１１，１２は、シリコン窒化膜あるいはシリコン酸化膜から構成される。

【００２６】

以下、図１（ｄ）に示した第１の実施の形態の半導体装置の製造方法の一例を図１（ａ）乃至図１（ｄ）を参照して説明する。

【００２７】

図１（ａ）に示すように、まずシリコン半導体基板１上に厚膜系のＭＯＳ型素子を領域１ａ内に形成するために素子分離層２ａ，２ｂを形成する。これとともに、薄膜系のＭＩＳ型素子を領域１ｂ内に形成するために素子分離層２ｃ、２ｄを形成する。これらの素子分離層２ａ－２ｄは、例えば通常のＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）法により形成することができる。

【００２８】

その後、厚膜系ＭＯＳ型素子のゲート絶縁膜３を形成するために、半導体基板１の全面にシリコン酸化膜を形成する。

【００２９】

次いで、この形成されたシリコン酸化膜の上にゲート電極４を形成するためのポリシリコン膜を堆積させ、通常のフォトリソグラフィ法によりゲート加工を行ない、第１の領域１ａにゲート絶縁膜３およびゲート電極４を形成する。

【００３０】

次いで、薄膜系のＭＩＳ型素子を形成するための前記第２の領域１ｂを例えばレジスト膜で覆った状態で、ゲート酸化膜３およびゲート電極４をマスクとして用いて第１の領域１ａのゲート酸化膜３と素子分離層２ａ，２ｂとの間に所定導電型の不純物を例えばイオン打ち込み法により浅くドープして、厚膜系ＭＯＳ型素子のＬＤＤ層５ａ，５ｂを形成する。

【００３１】

その後、半導体基板１の全面に例えばシリコン窒化膜を堆積し、続けてエッチングを行うことで、ゲート酸化膜３およびゲート電極４の側面にゲート側壁絶縁膜６を形成する。なお、シリコン窒化膜の代わりにシリコン酸化膜あるいは両者

の積層膜を用いても良い。

【００３２】

この結果、図１（ａ）に示すように、前記第１の領域１ａに、シリコン酸化膜単層のゲート絶縁膜３と、このゲート絶縁膜３上に形成されたゲート電極４、及びゲート側壁絶縁膜６を含む厚膜系ＭＯＳ型素子が形成される。

【００３３】

次に図１（ｂ）に示すように、第２の領域１ｂに薄膜系ＭＩＳ型素子のゲート絶縁膜１０（図１（ｃ）参照）を形成するために、半導体基板１の全面に高誘電体絶縁材料、例えばシリコン窒化膜７を堆積する。

【００３４】

次いで、このシリコン窒化膜７の上にゲート電極８を形成するためのポリシリコン膜を堆積させ、通常のフォトリソグラフィ法によりゲート加工を行ない、第２の領域１ｂにゲート電極８を形成する。

【００３５】

その後、前記第１の領域１ａを例えばレジスト膜で覆った状態で、ゲート電極８をマスクとして用いて第２の領域１ｂのゲート電極８と素子分離層２ａ，２ｂとの間に所定導電型の不純物を例えばイオン打ち込み法により浅くドープして、厚膜系ＭＯＳ型素子のＬＤＤ層５ｃ，５ｄを形成する。この状態が図１（ｂ）に示されている。

【００３６】

次に、図１（ｃ）に示すように、ゲート電極８をマスクとして用いて通常のフォトリソグラフィ法によりシリコン窒化膜７のエッチングを行ない、ゲート電極８の下のみにゲート絶縁膜１０を形成する。

【００３７】

その後、半導体基板１の全面に例えばシリコン窒化膜を堆積し、続けてエッチングを行うことで、第２の領域１ｂのゲート絶縁膜１０およびゲート電極８の側部にゲート側壁絶縁膜１１を形成する。これと同時に、第１の領域１ａの第１のＭＯＳ型素子にもさらにゲート側壁絶縁膜１２がゲート側壁絶縁膜１１と同じ材料で形成される。なお、シリコン窒化膜の代わりにシリコン酸化膜あるいは両者

の積層膜を用いてゲート側壁絶縁膜１１，１２を形成してもよい。

【００３８】

この状態で、これらゲート側壁絶縁膜１１および１２の端部に整合させて、ＬＤＤ層５ａ－５ｄと同じ導電型で、かつそれより高濃度で所定の不純物を用いたイオンインプランテーションを行ない、それぞれゲート電極４，８およびそのゲート側壁絶縁膜６，１２，１１をマスクとして用いて第１の領域１ａのゲート側壁絶縁膜１２と素子分離層２ａ、２ｂとの間と、第２の領域１ｂのゲート側壁絶縁膜１１と素子分離層２ｃ、２ｄとの間に不純物を、例えばイオン打ち込み法によりＬＤＤ層５ａ－５ｄより深くドープして、ＬＤＤ領域を持つＭＯＳ型素子のソース／ドレイン領域９ａ、９ｂ（厚膜系）、およびＬＤＤ領域を持つソース／ドレイン領域９ｃ、９ｄ（薄膜系）を夫々形成する。

【００３９】

次いで、通常のシリサイド層の形成を行ない、ゲート電極４，８上にシリサイド層１３ａ，１３ｄを形成するとともに、ソース／ドレイン領域９ａ，９ｂ上にシリサイド層１３ｂ、１３ｃを形成し、ソース／ドレイン領域９ｃ、９ｄ上にシリサイド層１３ｅ，１３ｆを形成する。　この結果、従来の互いに誘電率の異なる絶縁材料の２層構造のゲート絶縁膜が厚膜系のＭＯＳ型素子に形成されることがなく、単層の厚膜系絶縁膜３およびゲート電極４を含むＭＯＳ型素子と、単層の前記厚膜系より誘電率の高い薄膜系ゲート絶縁膜１０およびゲート電極８を含むＭＩＳ型素子とを同一半導体基板１上に有する半導体装置を実現できる。

【００４０】

また、この工程では、前記ゲート側壁絶縁膜６上に、更にゲート側壁絶縁膜１２を堆積するため、ゲート絶縁膜３およびゲート電極４の側部には、ゲート側壁絶縁膜６とゲート側壁絶縁膜１２の２層構造が形成される。

【００４１】

このように、第１、第２の領域１ａ、１ｂに形成される厚膜系のＭＯＳ型半導体素子と薄膜系のＭＩＳ型半導体素子において、お互いに異なった材料を使用してゲート側壁絶縁膜を形成した場合は、ＭＯＳ型素子には互いに異なる絶縁材料のゲート側壁の２層構造が形成される。

【００４２】

また、お互いに同じ側壁材料を使用した場合では、ＭＯＳ型素子には同じ材料による２層構造のゲート側壁絶縁膜が形成されるから実質的に１層構造となるが、異なるプロセスにより２度に分けて形成されるため、１層目と２層目との境界に化学反応による層界面が形成されるため、ゲート側壁の２層構造が形成されていることが確認できる。

【００４３】

次に、図１（ｄ）に示すように、絶縁材料を半導体基板１の全面に堆積し、層間絶縁膜１４を形成し、この層間絶縁膜１４には半導体基板１と層間絶縁膜１４の表面との間にコンタクトホール１５ａを形成する。このコンタクトホール１５ａは、通常のフォトリソグラフィ法を用いて、コンタクトを形成する所定の箇所上部のシリサイド層１３ｃまで、層間絶縁膜１４をエッチングすることで形成される。そのコンタクトホール１５ａに導電性物質、例えばタングステンを堆積し、コンタクト１５を形成する。その後、層間絶縁膜１４の表面にはコンタクト１５と接続されるメタル配線１６が形成される。

【００４４】

図１（ｄ）に示した実施の形態では、ソース／ドレイン領域９ａ，９ｂ及びソース／ドレイン領域９ｃ、９ｄはいずれも浅い拡散領域であるＬＤＤ層を有するものとして形成したが、ＬＤＤ層を持たないソース／ドレイン領域としても同様に実施できる。

【００４５】

（第２の実施の形態）

図２（ｄ）は、この発明の第２の実施の形態のＭＯＳ型半導体装置の断面図である。以下の説明では、図１と同じ部分は同じ参照符号を付してその説明を省略する。

【００４６】

図２（ｄ）に示すように、半導体基板１の素子分離層２ａ、２ｂにより分離された第１の領域２３ａには、半導体基板１の表面に形成されたゲート絶縁膜３と、このゲート絶縁膜３上に形成されたゲート電極４と、ゲート絶縁膜３およびゲ

ート電極４の側面を覆って形成された高誘電体絶縁膜２１と、この高誘電体絶縁膜２１の側壁にゲート電極４の側面に対応して形成されたゲート側壁絶縁膜６と、ゲート絶縁膜３と素子分離層２ａ，２ｂとの間の半導体基板１の表面領域に形成されたＬＤＤ構造を持つソース／ドレイン領域９ａ，９ｂと、このソース／ドレイン領域９ａ，９ｂおよびゲート電極４の表面に形成されたシリサイド層１３ａ、１３ｂ、１３ｃと、半導体基板１の全面を覆って形成された層間絶縁膜１４と、この層間絶縁膜１４中に形成され下端がシリサイド層１３ｃに接続されたコンタクト１５と、層間絶縁膜１４の表面にコンタクト１５と接続されて形成されるメタル配線１６とから構成される厚膜系のＭＯＳ型素子が形成される。

【００４７】

一方、半導体基板１の素子分離層２ｃ、２ｄにより第１の領域２３ａと分離された第２の領域２３ｂには、半導体基板１の表面に形成されたゲート絶縁膜２２と、このゲート絶縁膜２２上に形成されたゲート電極８と、ゲート電極８の側面でゲート絶縁膜２２上に形成されたゲート側壁１１と、ゲート電極８の上面に形成されたシリサイド層１３ｄと、ゲート絶縁膜２２と素子分離層２ｃ、２ｄとの間の半導体基板１の表面領域に形成されたソース／ドレイン領域９ｃ、９ｄと、このソース／ドレイン領域９ｃ、９ｄの上に形成されたシリサイド層１３ｅ，１３ｆと、半導体基板１の全面を覆う層間絶縁膜１６とから構成される薄膜系のＭＩＳ型素子が形成される。

【００４８】

なおゲート絶縁膜、ゲート電極、ゲート側壁絶縁膜の材料・サイズ等は第１の実施の形態と同様なものを用いることができる。

【００４９】

また本実施形態の特徴としては、第２の領域２３ｂにおいてゲート絶縁膜２２の上に、ゲート電極８とその側壁絶縁膜１１とが搭載された形状に構成されている。また、第１の領域２３ａでは、ゲート絶縁膜３およびゲート電極４の側面を覆うように、ゲート絶縁膜２２と同一の高誘電体絶縁材料からなる高誘電体膜２１が形成される。

【００５０】

以下、図２（ｄ）に示した第２の実施の形態の半導体装置の製造方法の一例を図２（ａ）乃至図２（ｄ）を参照して説明する。

【００５１】

図２（ａ）に示すように、まず半導体基板１上の厚膜系のＭＯＳ型素子の形成用の第１の領域２３ａに素子分離層２ａ、２ｂを形成するとともに、薄膜系のＭＩＳ型素子の形成用の第２の領域２３ｂにも素子分離層２ｃ、２ｄを例えばＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）法により形成する。

【００５２】

その後、厚膜系ＭＯＳ型素子のゲート絶縁膜３を形成するために、シリコン半導体基板１の全面にシリコン酸化膜を形成する。

【００５３】

次いで、シリコン酸化膜の上にゲート電極４を形成するためのポリシリコン膜を堆積させ、通常のフォトリソグラフィ法によりゲート加工を行ない、第１の領域２３ａにゲート絶縁膜３およびゲート電極４を形成する。

【００５４】

次いで、薄膜系のＭＩＳ型素子を形成するための前記第２の領域２３ｂを例えばレジストで覆った状態で、ゲート酸化膜３およびゲート電極４をマスクとして用いて第１の領域２３ａのゲート酸化膜３と素子分離層２ａ，２ｂとの間に所定導電型の不純物を例えばイオン打ち込み法により浅くドープして、厚膜系ＭＯＳ型素子のＬＤＤ層５ａ、５ｂを形成する。

【００５５】

その後、薄膜系ＭＩＳ型素子のゲート絶縁膜２２（図２（ｃ）参照）を形成するために、半導体基板１の全面に高誘電体絶縁膜７を形成する。次いで、高誘電体膜７の上にゲート電極８を形成するためにポリシリコン膜を堆積させ、通常のフォトリソグラフィ法によりゲート加工を行ない、前記第２の領域２３ｂにゲート電極８を形成する。

【００５６】

次いで、厚膜系のＭＯＳ型素子の形成領域２３ａを例えばレジスト膜で覆った状態で、ゲート電極８をマスクとして用いて第２の領域２３ｂのゲート電極８と

素子分離層２ｃ，２ｄとの間に、所定導電型の不純物を例えばイオン打ち込み法により浅くドープして、薄膜系ＭＩＳ型素子のＬＤＤ層５ｃ、５ｄを形成する。

【００５７】

その後、図２（ｂ）に示すように、半導体基板１の全面にシリコン窒化膜を堆積し、続けてエッチングを行なうことで、厚膜系のＭＯＳ型素子においては、ゲート絶縁膜３およびゲート電極４の側面を覆うように形成されている高誘電体絶縁膜７の側部のゲート電極４の側面に対応する部分にゲート側壁絶縁膜６を形成する。これと同時に、薄膜系のＭＩＳ型素子においては、高誘電体絶縁膜７上およびゲート電極８の側部にゲート側壁絶縁膜１１を形成する。

【００５８】

このように、本実施形態では、両領域２３ａ，２３ｂの半導体素子のゲート側壁絶縁膜を一度で形成できるため、工程回数を減らすことができる。

【００５９】

さらに厚膜系のＭＯＳ型素子および薄膜系のＭＩＳ型素子に通常のフォトリソグラフィ法を用い、半導体基板１上のゲート電極４，８およびゲート側壁絶縁膜６，１１によりカバーされていない高誘電体絶縁膜７をエッチングにより除去する。

【００６０】

そこで、これら側壁絶縁膜６および側壁絶縁膜１１の側部に整合させて、それぞれのゲート電極４，８およびそのゲート側壁絶縁膜６，１１をマスクとして用いて第１の領域２３ａの高誘電体膜２１と素子分離層２ａ、２ｂとの間と、第２の領域２３ｂのゲート絶縁膜２２と素子分離層２ｃ、２ｄとの間にＬＤＤ層５ａ－５ｄと同一導電型でかつ高濃度の不純物を、例えばイオン打ち込み法により深くドープして、ＭＯＳ型素子のソース／ドレイン領域９ａ、９ｂ（厚膜系）、およびＬＤＤ領域を持つソース／ドレイン領域９ｃ、９ｄ（薄膜系）を夫々形成する。

【００６１】

次いで、図２（ｃ）に示すように、シリサイド形成を行ない、ソース／ドレイン領域９ａ，９ｂ上にシリサイド層１３ｂ、１３ｃを形成するとともに、ゲート

電極８の上面にシリサイド層１３ｄを形成し、ソース／ドレイン領域９ｃ、９ｄ上にシリサイド層１３ｅ，１３ｆを形成する。

【００６２】

次に、図１（ｄ）に示すように、絶縁材料を半導体基板１の全面に堆積し、層間絶縁膜１４を形成する。次に半導体基板１に形成されたソース／ドレイン領域９ｄと層間絶縁膜１４の表面に形成されたメタル配線１６との間を接続するために、層間絶縁膜１４にコンタクトホール１５ａを形成する。このコンタクトホール１５ａは、層間絶縁膜１４に通常のフォトリソグラフィ法を用いて、コンタクト１５を形成するソース／ドレイン領域９ｂ上部に形成されたシリサイド層１３ｃまで、層間絶縁膜１４をエッチングすることで形成される。その後、コンタクトホール１５ａに導電性物質、例えばタングステンを堆積し、コンタクト１５を形成する。その後、メタル配線１６形成を行う。

【００６３】

この結果、同一の半導体基板１上に、単層の厚膜系絶縁膜であるシリコン酸化膜のゲート絶縁膜３上に形成されたゲート電極４を有する厚膜系のＭＯＳ型素子と、単層の薄膜系絶縁膜２２上に形成されたゲート電極８を有する薄膜系のＭＩＳ型素子とを有する半導体装置を実現できた。

【００６４】

この同一半導体基板上に単層のＭＯＳ型素子と単層のＭＩＳ型素子を有する構造は、前記第１の実施の形態と同様の効果が得られる。

【００６５】

なお、この第２の実施例では、ゲート電極４の形成直後に薄膜系の高誘電体絶縁膜７を堆積するため、前記第１の領域２３ａに形成された厚膜系ＭＯＳ型素子は、そのゲート絶縁膜３およびゲート電極４の側面を覆うように高誘電体絶縁膜２１を有する構造となる。また、前記第２の領域２３ｂでは、高誘電体絶縁膜７を堆積しゲート電極８を形成した後、高誘電体絶縁膜７のエッチングを行なわずに側壁絶縁膜１１を堆積するため、ゲート電極８およびゲート側壁絶縁膜１１と半導体基板１との間にゲート絶縁膜２２が存在することを特徴とする。

【００６６】

ここで使用した薄膜系絶縁膜および厚膜系絶縁膜の膜厚や材料や、基板および電極は前記第１の実施形態と同様のものを用いることができる。

【００６７】

（第３の実施の形態）

図３（ｃ）は、この発明の第３の実施の形態の半導体装置の断面図である。この実施の形態においても図１或いは図２に示した実施の形態と同一の部分は同一の参照符号を付してその詳細な説明を省略する。

【００６８】

図３（ｃ）に示すように、半導体基板１の素子分離層２ａ、２ｂにより分離された第１の領域３３ａは、半導体基板１の表面に形成されたゲート絶縁膜３と、このゲート絶縁膜３の上に形成されたゲート電極４と、ゲート電極４の側面に形成されたゲート側壁絶縁膜６ａ，６ｂと、ゲート電極４の上面全部および一方のゲート側壁絶縁膜６ｂと半導体基板１の表面の一部とをカバーするエッチングストッパ膜３０と、ゲート側壁絶縁膜６ａの上に形成されたゲート側壁絶縁膜３２ａと、エッチングストッパ膜３０のゲート側壁絶縁膜６ｂに対応する部分に形成されたゲート側壁絶縁膜３２ｂと、ゲート絶縁膜３と素子分離層２ａ，２ｂとの間の半導体基板１の表面領域に形成されたＬＤＤ層を有するソース／ドレイン領域９ａ，９ｂと、これらのソース／ドレイン領域９ａ，９ｂの表面に形成されたシリサイド層１３ｂ、１３ｃと、半導体基板１の全面に形成された層間絶縁膜１４と、この層間絶縁膜１４中に形成され、下端がシリサイド層１３ｃを介してソース／ドレイン領域９ｂに接続されるコンタクト１５と、層間絶縁膜１４の上面に形成されコンタクト１５と接続されるメタル配線１６とから構成される厚膜系のＭＯＳ型素子が形成される。

【００６９】

また、素子分離層２ｃ、２ｄにより分離された第２の領域３３ｂには、半導体基板１上に形成されたゲート絶縁膜３１と、このゲート絶縁膜３１上に形成されたゲート電極８と、ゲート電極８の側面に形成されたゲート側壁絶縁膜１１と、ゲート電極８の上面に形成されたシリサイド層１３ｄと、ゲート絶縁膜３１と素子分離層２ｃ、２ｄとの間の半導体基板１の表面領域に形成されたソース／ドレ

イン領域９ｃ、９ｄと、このソース／ドレイン領域９ｃ、９ｄの上に形成されたシリサイド層１３ｅ，１３ｆと、半導体基板１の全面に形成された層間絶縁膜１４とから構成される薄膜系のＭＩＳ型素子が形成される。

【００７０】

なお、ゲート絶縁膜、ゲート電極、ゲート側壁絶縁膜の材料・サイズ等は第１の実施の形態と同様なものを用いることができる。

【００７１】

本実施形態の特徴として、第１の領域３３ａにはエッチングストッパ膜３０が形成されており、少なくともシリサイド層１３ｃに接続された状態でこのエッチングストッパ膜３０上にコンタクト１５が形成されている。このエッチングストッパ膜３０は、後で詳述するが、薄膜系のゲート絶縁膜３１を形成する際に半導体基板１の全面に堆積させた高誘電体膜の一部である。

【００７２】

従って、この高誘電体膜を有するエッチングストッパ膜を用いて自己整合によるコンタクトホールを形成することができるため、ゲートとコンタクトの距離を近づけることが可能となり、配線形成を行なう際、半導体基板の素子集積度を上げることができる。さらに、自己整合コンタクト形成のための絶縁膜堆積工程をゲート絶縁膜形成と兼ねて行なうことで、工程回数を減らすことができる。

【００７３】

以下、図３（ｃ）に示した第３の実施の形態の半導体装置の製造方法の一例を図３（ａ）乃至図３（ｃ）を参照して説明する。

【００７４】

まず、図３（ａ）に示す製造ステップに入る前に、第１の実施の形態において形成した図１（ｂ）に示したと同様の構造を形成する。但し、図１（ｂ）で示した第１の領域１ａ、第２の領域１ｂは夫々図３では参照符号３３ａ，３３ｂで示されている。

【００７５】

よって、図１（ｂ）に示されるように、第２の領域１ｂにゲート電極８が形成された後は、全面に高誘電体絶縁膜７は残されている。次に、前記第１の領域３

３ａにおいて、図１（ｂ）に示した高誘電体絶縁膜７をエッチングして図３（ａ）に示すようなエッチングストッパ膜３０を形成するために、このエッチングストッパ膜３０に対応して厚膜系のＭＯＳ型素子の上に、ゲート電極４と、その一方の側壁絶縁膜６ｂおよび半導体基板１の上部の少なくとも一部をマスクで覆いエッチングを行なう。

【００７６】

第２の領域３３ｂでは、この際、ゲート電極８をマスクとして高誘電体絶縁膜７がエッチングされ、ゲート電極８の下にのみゲート絶縁膜３１が残される。

【００７７】

つまり、本実施の形態では、図３（ａ）に示すように、図１（ｂ）の高誘電体絶縁膜７から、第１の領域３３ａのエッチングストッパ膜３０と、第２の領域３３ｂのゲート絶縁膜３１を、同時に形成することができる。

【００７８】

このように、従来では自己整合コンタクト形成のためにエッチングストッパ絶縁膜を堆積する工程を別に行っていたが、この実施の形態では、ゲート絶縁膜３１の堆積と兼ねることができるので、従来行なっていたエッチングストッパ絶縁膜の堆積工程を省くことができる。

【００７９】

次いで、図３（ｂ）に示すように、半導体基板１の全面に例えばシリコン窒化膜を堆積し、続けてエッチングを行うことで、第２の領域３３ｂのゲート絶縁膜３１およびゲート電極８の側部にゲート側壁絶縁膜１１を形成する。これと同時に、第１の領域３３ａの第１のＭＯＳ型素子のゲート側壁絶縁膜６ａおよびエッチングストッパ絶縁膜３０上に、ゲート側壁絶縁膜１１と同じ材料のゲート側壁絶縁膜３２ａ，３２ｂが夫々形成される。ここで、シリコン窒化膜の代わりにシリコン酸化膜あるいは両者の積層膜を用いても良い。

【００８０】

そこで、これらゲート側壁絶縁膜１１とゲート側壁絶縁膜３２ａ，３２ｂおよびエッチングストッパ絶縁膜３０にそれぞれ整合させて不純物イオンのインプランテーションを行ない、第１の領域３３ａのゲート側壁絶縁膜３２ａと素子分離

層２ａの間、エッチングストッパ絶縁膜３０と素子分離層２ｂの間、第２の領域３３ｂの側壁絶縁膜１１と素子分離層２ｃ、２ｄとの間にそれぞれＬＤＤ層５ａ－５ｄと同じ導電型の不純物をより高濃度でかつ深くドープして、ＬＤＤ構造を有するＭＯＳ型素子のソース／ドレイン領域９ａ、９ｂ（厚膜系）、９ｃ、９ｄ（薄膜系）を形成する。

【００８１】

次いで、前述の実施形態と同様に通常のシリサイド形成を行ない、ソース／ドレイン領域９ａ，９ｂ上にシリサイド層１３ｂ、１３ｃを形成するとともに、ソース／ドレイン領域９ｃ、９ｄ上にシリサイド層１３ｅ，１３ｆを形成し、ゲート電極８上にシリサイド層１３ｄを形成する。

【００８２】

次に、図３（ｃ）に示すように、絶縁材料を半導体基板１の全面に堆積し、層間絶縁膜１４を形成する。次に層間絶縁膜１４のソース／ドレイン領域９ｂに対応する位置にコンタクトホール１５ａを形成する。このコンタクトホール１５ａは、層間絶縁膜１４に通常のフォトリソグラフィ法を用いて、シリサイド層１３ｃが露出するように層間絶縁膜１４をエッチングすることで形成される。形成されたコンタクトホール１５ａに導電性物質、例えばタングステンを堆積し、コンタクト１５を形成する。このコンタクト１５は層間絶縁膜１４上に形成されたメタル配線１６と接続される。

【００８３】

この実施の形態の場合も、前述した従来のような互いに誘電率の異なる絶縁材料のゲート絶縁膜の２層構造の形成を阻止を排除でき、単層の厚膜系ゲート絶縁膜３およびゲート電極４を含む厚膜系のＭＯＳ型素子と、単層の前記厚膜系より誘電率の高い薄膜系ゲート絶縁膜３１およびゲート電極８を含む薄膜系のＭＩＳ型素子とを同一半導体基板１上に有する半導体装置を実現できる。

【００８４】

また、この図３に示した工程では、ゲート側壁絶縁膜６ａ，６ｂ上に更にゲート側壁絶縁膜３２ａ，３２ｂを堆積するため、ゲート絶縁膜３およびゲート電極４の側部の、エッチングストッパ絶縁膜３０の介在しないソース／ドレイン領域

９ａの部分では、ゲート側壁絶縁膜６ａと側壁絶縁膜３２ａの２層構造が形成される。

【００８５】

従って、側壁絶縁膜６ａ，３２ａとしてお互いに異なった側壁材料を使用した場合は、ＭＯＳ型半導体素子には互いに異なる絶縁材料のゲート側壁の２層構造が形成される。実際の製品においてゲート側壁絶縁膜がこのような２層構造を持つことは容易に確認できる。

【００８６】

また、お互いに同じ側壁材料を使用した場合でも、この２層構造は異なるプロセスで形成されるために、この２層の接続面に化学的あるいは物理的な境界面が形成されるため、ゲート側壁の２層構造が形成されていることが比較的容易に確認できる。これは第１の実施の形態と同様である。

【００８７】

また、エッチングストッパ絶縁膜３０は、次に堆積する層間絶縁膜１４の材料と異なるゲート絶縁膜３１と同じ材料で形成されているため、層間絶縁膜１４をエッチングしてコンタクトホール１５ａを形成する際に、選択的なエッチングを行うことによりエッチングストッパ絶縁膜３０のエッチング阻止が容易であり、製造プロセスに際してのゲート電極４とコンタクト１５の接触を防ぐことができる。そのため、ゲート電極４とコンタクト１５の電気ショートを確実に防ぐことができる。

【００８８】

さらに、コンタクト１５の形成時には、エッチングストッパ膜３０を用いて自己整合的にコンタクト１５を形成することができるので、ゲートとコンタクトの距離を近づけることが可能となり、半導体装置においてより集積度を上げることができる。

【００８９】

なお、ここで使用したゲート絶縁膜、ゲート電極およびゲート側壁絶縁膜の膜厚や材料は、第１、第２の実施の形態と同様であるため省略する。

【００９０】

【発明の効果】

以上詳述したように本願発明によれば、同一の半導体基板上に単層の厚膜系ゲート絶縁膜としてシリコン酸化膜を有するＭＯＳ型素子と、単層の高誘電体の薄膜系ゲート絶縁膜を有するＭＩＳ型素子とを含む半導体装置を実現できる。このため、同一半導体基板上に夫々単層のゲート絶縁膜を有し互いに異なるレベルの電圧が供給される半導体素子が混在して形成された信頼性のある半導体装置を提供することができる。

【図面の簡単な説明】

【図１】この発明の第１の実施の形態の半導体装置およびその製造方法の工程を示す図。

【図２】この発明の第２の実施の形態の半導体装置およびその製造方法の工程を示す図。

【図３】この発明の第３の実施の形態のエッチングストッパ絶縁膜を含む半導体装置およびその製造方法の工程を示す図。

【図４】従来の半導体装置の製造方法の工程の一例を示す図。

【符号の説明】

１…半導体基板

２ａ，２ｂ，２ｃ，２ｄ…素子分離層

３，１０…ゲート絶縁膜

４，８…ゲート電極

５ａ，５ｂ，５ｃ，５ｄ…ＬＤＤ層

６，１１、１２…ゲート側壁絶縁膜

９ａ，９ｂ，９ｃ，９ｄ…ソース／ドレイン領域

１３ａ，１３ｂ，１３ｃ，１３ｄ…シリサイド層

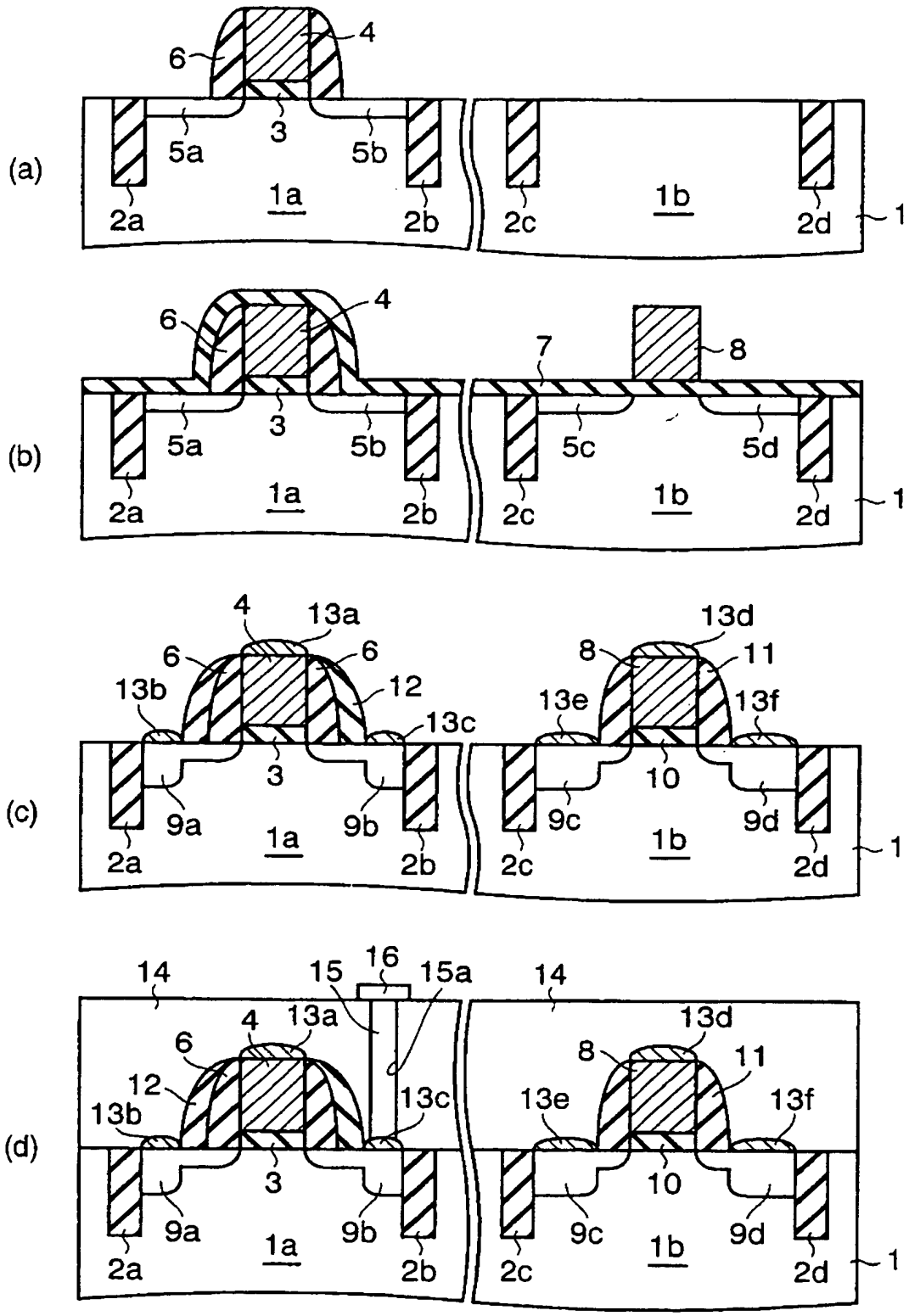
１４…層間絶縁膜

１５…コンタクト

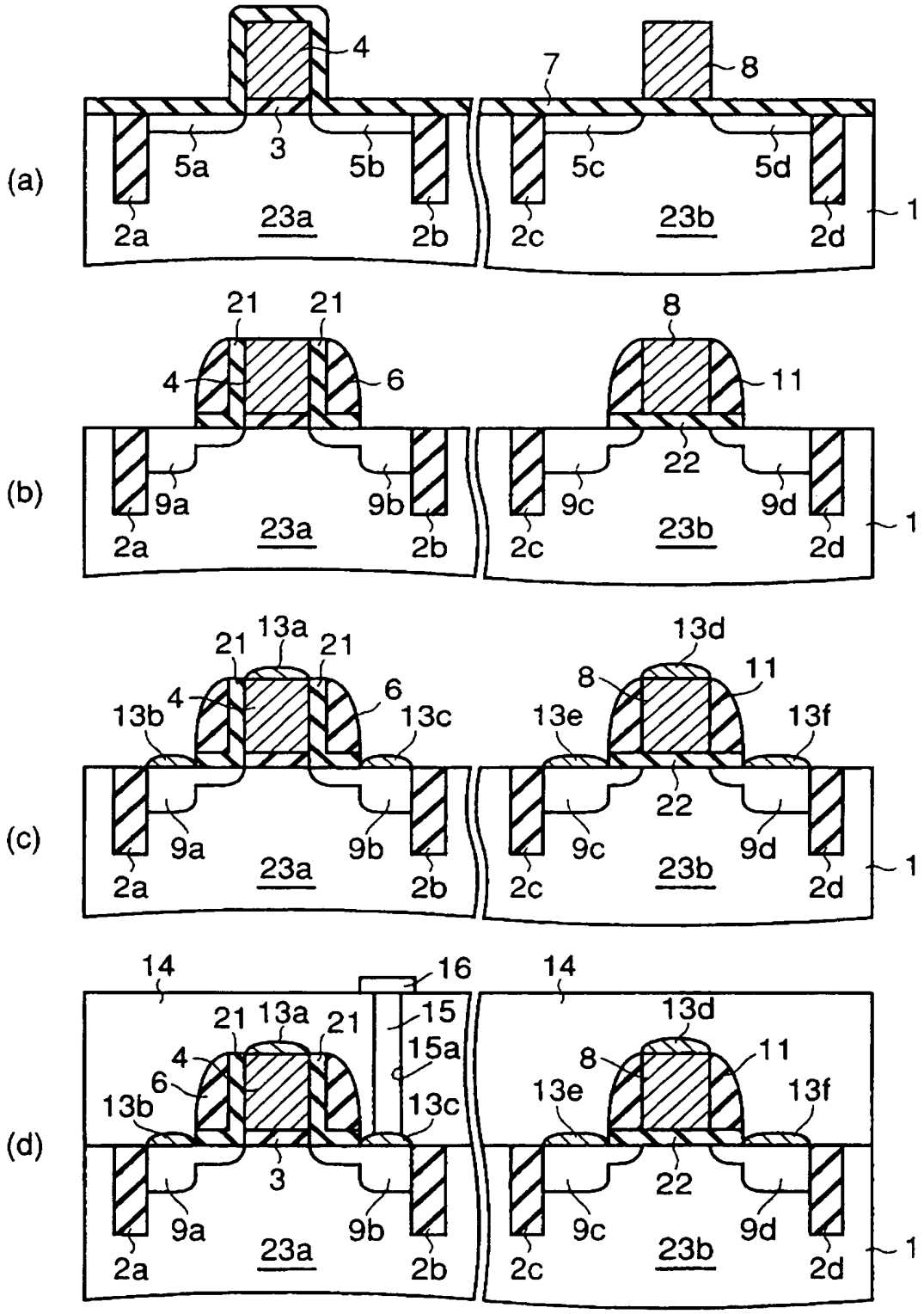
１６…メタル配線

【書類名】　図面

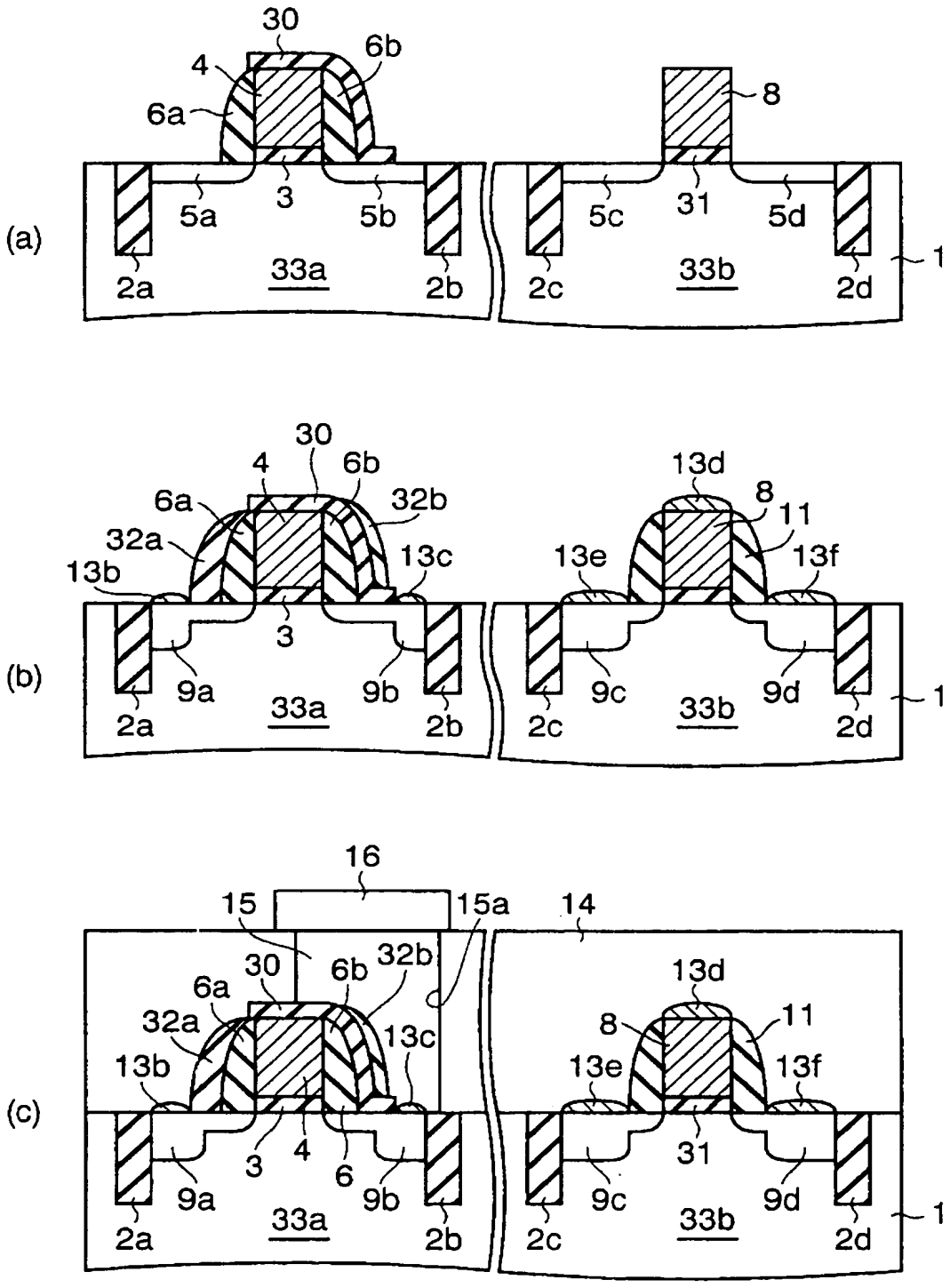
【図１】


(a)
6
4
3
5a
5b
1a
1b
2a
2b
2c
2d
1
(b)
6
4
7
8
3
5a
5b
5c
5d
1a
1b
2a
2b
2c
2d
1
(c)
4
13a
6
6
13b
12
13c
13d
8
11
13e
13f
3
10
9a
9b
9c
9d
1a
1b
2a
2b
2c
2d
1
(d)
14
15
16
15a
14
4
13a
13d
6
8
11
12
13b
13c
13e
13f
3
10
9a
9b
9c
9d
1a
1b
2a
2b
2c
2d
1

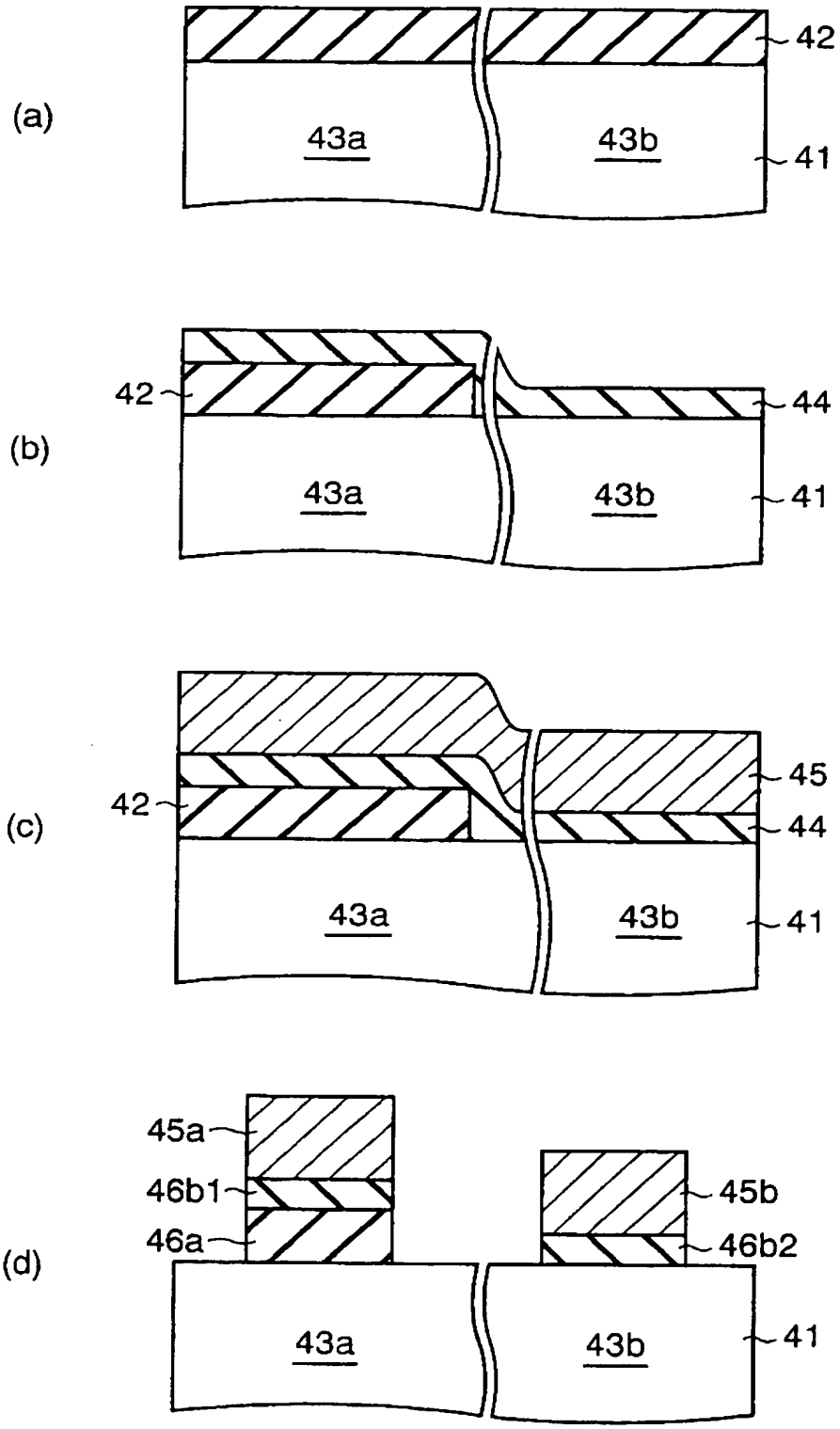
【図２】


(a)
4
7
8
3
5a
5b
5c
5d
2a
23a
2b
2c
23b
2d
1
(b)
21
21
8
4
6
11
22
9a
9b
9c
9d
2a
23a
2b
2c
23b
2d
1
(c)
21
13a
21
13d
8
11
4
6
13b
13c
13e
13f
22
9a
9b
9c
9d
2a
23a
2b
2c
23b
2d
1
(d)
14
16
14
21
13a
21
15
13d
8
11
4
15a
6
13b
13c
13e
13f
3
22
9a
9b
9c
9d
2a
23a
2b
2c
23b
2d
1

【図３】


(a)
30
6b
4
6a
8
3
5a
5b
5c
31
5d
2a
33a
2b
2c
33b
2d
1
(b)
30
4
6b
13d
8
6a
32b
11
32a
13c
13e
13f
13b
3
9a
9b
9c
9d
2a
33a
2b
2c
33b
2d
1
(c)
16
15
15a
14
30
6b
32b
13d
6a
8
11
32a
13c
13e
13f
13b
3
4
6
9a
9b
9c
9d
31
2a
33a
2b
2c
33b
2d
1

【図４】


(a)
42
43a
43b
41
(b)
42
44
43a
43b
41
(c)
42
45
44
43a
43b
41
(d)
45a
46b1
46a
45b
46b2
43a
43b
41

【書類名】　　要約書

【要約】

【課題】この発明は、誘電率の異なる２種類以上のゲート絶縁膜材料を用いて同一半導体基板上に少なくとも２種類の半導体素子を形成する際、それぞれの半導体素子が１層構造のゲート絶縁膜を有する半導体装置を提供することを目的とする。

【解決手段】半導体基板１の第１領域１ａに厚膜系ゲート絶縁膜としてシリコン酸化膜３を形成し、その上にゲート電極４を形成し、側壁絶縁膜６を有するゲート構造を形成し、次いで、第２領域１ｂに薄膜系ゲート絶縁膜として高誘電体膜１０を形成し、その上にゲート電極８を形成し、側壁絶縁膜１１を有するゲート構造を形成することにより、同一半導体基板１上に互いに誘電率の異なる単層のゲート絶縁膜３，１０を有する第厚膜系ＭＯＳ型素子と薄膜系ＭＩＳ型素子を含む半導体装置を構成する。

【選択図】　　図１

特願２００２－２９２３３８

出　願　人　履　歴　情　報

識別番号　　［０００００３０７８］

１．変更年月日　　２００１年　７月　２日
［変更理由］　　住所変更
住　所　　東京都港区芝浦一丁目１番１号
氏　名　　株式会社東芝